

PATENT
29936/38063

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kim et al.

Serial No.: 10/032,687

Filed: December 28, 2001

For: Method for Forming Wiring in
Semiconductor Devices

Group Art Unit: 2812

Examiner: To be assigned

) I hereby certify that this paper and the
) documents referred to as enclosed
) therewith are being deposited with the
) United States Postal Service as first class
) mail, postage prepaid, on **March 29,**
) **2002**, in an envelope addressed to
) Commissioner for Patents, Washington,
) D.C. 20231.

James P. Zeller

Reg. No. 28,491

Attorney for Applicant

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Korean 2001-0075440 filed

November 30, 2001, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

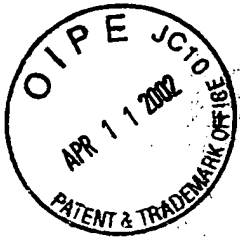
MARSHALL, GERSTEIN & BORUN
6300 Sears Tower
233 South Wacker Drive
Chicago, Illinois 60606-6357
(312) 474-6300

March 29, 2002

By:

James P. Zeller

Reg. No. 28,491



대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 75440 호
Application Number PATENT-2001-0075440

출원년월일 : 2001년 11월 30일
Date of Application NOV 30, 2001

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 12 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0003
【제출일자】 2001.11.30
【발명의 명칭】 반도체 소자의 배선 형성 방법
【발명의 영문명칭】 Method for forming wiring of a semiconductor device

【출원인】

【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8

【대리인】

【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1

【발명자】

【성명의 국문표기】 김형균
【성명의 영문표기】 KIM,Hyung Kyun
【주민등록번호】 710528-1057331
【우편번호】 467-860
【주소】 경기도 이천시 부발읍 고담동 현대전자 기숙사 102동 1205호
【국적】 KR

【발명자】

【성명의 국문표기】 이민용
【성명의 영문표기】 LEE,Min Yong
【주민등록번호】 711027-1074229
【우편번호】 138-840
【주소】 서울특별시 송파구 삼전동 115-7
【국적】 KR

【발명자】

【성명의 국문표기】 손권
【성명의 영문표기】 SON,Kwon

【주민등록번호】 690924-1228410
【우편번호】 435-060
【주소】 경기도 군포시 대야미동 건양아파트 201-1604
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
신영무 (인)
【수수료】
【기본출원료】 12 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 5 항 269,000 원
【합계】 298,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 배선 형성 방법에 관한 것으로, 다른 물성을 가지는 질화막 간의 접촉 시 발생하는 들뜸이나 갈라짐을 방지하기 위하여 스트레스 특성이 유사한 질화막으로, 웨이퍼 한장씩 처리가 가능한 단형 챔버에서 저압화학기상증착(LPCVD) 방식으로 증착할 수 있는 질화막과, 여러 장의 웨이퍼 처리가 가능한 배치형 챔버에서 저압화학기상증착(LPCVD) 방식으로 증착할 수 있는 질화막을 이용한다.

【대표도】

도 1

【색인어】

배선, 하드 마스크, 스페이서, 질화막, 스트레스

【명세서】

【발명의 명칭】

반도체 소자의 배선 형성 방법 {Method for forming wiring of a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1d는 반도체 소자의 배선 형성 방법을 설명하기 위한 소자의 단면도.

도 2는 질화막의 스트레스 특성을 도시한 그래프도.

도 3은 도 1d에 도시된 'D' 부분의 확대도.

<도면의 주요 부분에 대한 부호의 설명>

1: 반도체 기판 2: 게이트 산화막

3: 폴리실리콘층 4: 금속층

4a: 게이트 전극 5: 하드 마스크층

5a: 하드 마스크 6: 감광막

7: 스페이서

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자의 배선 형성 방법에 관한 것으로, 특히, 질화막으로 이루어진 하드 마스크 및 스페이서를 갖는 트랜지스터의 게이트 전극 또는 메모리 소자의 워드라인 및 비트라인 형성 방법에 관한 것이다.

<11> 일반적으로 반도체 소자의 집적도가 증가됨에 따라 패턴의 폭이 감소되기 때문에 신호의 전달 속도가 저하되고, 이에 따라 소자의 동작 속도에 관한 문제가 야기된다. 패턴 폭의 감소에 따른 동작 속도의 저하를 방지하기 위해서는 패턴의 두께를 증가시켜야 한다. 그러나 이 경우 소자의 고집적화가 어려워지기 때문에 일반적으로 배선의 경우 폴리실리콘과 금속이 적층된 구조로 형성한다.

<12> 그런데 이러한 금속의 사용은 폴리실리콘과의 식각비 차이로 인한 패턴의 불량과, 증착 또는 세정 장비의 오염을 유발하여 소자의 수율을 저하시킨다. 즉, 금속과 폴리실리콘을 패터닝하기 위해서는 감광막을 두껍게 형성해야 하는데, 실제의 공정에서 두꺼운 감광막만을 사용하여 패턴을 형성할 경우 많은 문제점이 발생된다. 그래서 배선으로 사용될 도전층 상에 하드 마스크를 형성하고 하드 마스크를 이용하여 도전층을 패터닝하는 기술이 제시되었다.

<13> 그러면 하드 마스크를 사용하는 종래의 기술을 도 1a 내지 도 1d를 통해 설명하기로 한다.

- <14> 도 1a 내지 도 1d는 반도체 소자의 배선 형성 방법을 설명하기 위한 소자의 단면도로서, 트랜지스터의 게이트 전극 형성 과정을 예를들어 설명한다.
- <15> 도 1a는 반도체 기판(1) 상에 게이트 산화막(2), 폴리실리콘층(3), 금속층(4) 및 하드 마스크층(5)을 순차적으로 형성한 후 상기 하드 마스크층(5) 상에 감광막 패턴(6)을 형성한 상태의 단면도로서, 상기 금속층(4)은 알루미늄(Al), 텅스텐(W), 티타늄(Ti)과 같은 금속 또는 실리사이드층으로 이루어지며, 상기 하드 마스크층(5)은 플라즈마 화학기상증착(PECVD) 방법으로 증착된 질화막으로 이루어진다.
- <16> 도 1b는 상기 감광막 패턴(6)을 마스크로 이용한 식각 공정으로 상기 하드 마스크층(5)을 패터닝하여 하드 마스크(5a)를 형성한 상태의 단면도이고, 도 1c는 상기 하드 마스크(5a)를 마스크로 이용한 식각 공정으로 상기 금속층(4), 폴리실리콘층(3) 및 게이트 산화막(2)을 순차적으로 패터닝하여 게이트 전극(4a)을 형성한 후 게이트 전극(4a) 양측부의 반도체 기판(1)에 불순물 이온을 주입하여 접합영역(7)을 형성한 상태의 단면도이다.
- <17> 도 1d는 상기 하드 마스크(5a) 및 게이트 전극(4a) 양측벽에 절연막으로 스페이서(8)를 형성한 상태의 단면도로서, 상기 스페이서(8)는 여러 장의 웨이퍼 처리가 가능한 배치형 챔버에서 저압화학기상증착(LPCVD) 방식으로 증착된 질화막으로 이루어진다.
- <18> 그런데 상기 종래의 기술은 도 1d의 'D' 부분에 도시된 바와 같이 스트레스 특성이 상이한 두 종류의 질화막 즉, 하드 마스크(5a)를 이루는 질화막과 스페이서(8)를 이루는 질화막을 사용하기 때문에 두 질화막 간의 스트레스 차이로 인해

도 3에 도시된 바와 같이 계면 부분에 들뜸(E 부분)이나 갈라짐이 발생된다. 도 2에서 그래프(B)는 저압화학기상증착(LPCVD) 방식으로 증착된 질화막의 스트레스 측정치(약 $12\text{E}9\text{dyn}/\text{cm}^2$)를 나타내며, 그래프(C)는 플라즈마 화학기상증착(PECVD) 방식으로 증착한 질화막의 스트레스 측정치(약 $-2\text{E}9\text{dyn}/\text{cm}^2$)를 나타낸다.

<19> 이러한 들뜸이나 갈라짐은 웨이퍼 및 장비를 오염시키거나 소자의 동작시 배서 간의 접촉이나 누설전류를 야기시켜 소자의 전기적 특성을 열화시킨다. 더욱이 이러한 현상은 웨이퍼의 가장자리부에서 더욱 심하게 발생되기 때문에 소자의 수율에 큰 영향을 미친다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서 본 발명은 다른 물성을 가지는 질화막 간의 접촉 시 발생하는 들뜸이나 갈라짐을 방지하기 위하여 스트레스 특성이 서로 유사한 질화막을 이용함으로써 상기한 단점을 해소할 수 있는 반도체 소자의 배선 형성 방법을 제공하는 데 그 목적이 있다.

<21> 상기한 목적을 달성하기 위한 본 발명은 반도체 기판 상에 형성된 절연막 상에 도전층을 형성하는 단계와, 저압화학기상증착 방식으로 질화막을 증착하여 도전층 상에 하드 마스크층을 형성하는 단계와, 하드 마스크층을 패터닝하고, 패터닝된 하드 마스크를 이용하여 도전층을 패터닝하는 단계와, 저압화학기상증착 방식으로 질화막을 증착한 후 스페이서 식각하여 패터닝된 도전층과 하드 마스크의 측벽에 스페이서를 형성하는 단계로 이루어지는 것을 특징으로 한다.

<22> 상기 하드 마스크 및 스페이서를 형성하기 위한 질화막 증착 공정은 600 내지 800℃의 온도 및 1 내지 500Torr의 압력 조건의 단형 챔버에서 이루어지며, 상기 스페이서를 형성하기 위한 질화막 증착 공정은 600 내지 800℃의 온도 및 0.1 내지 1Torr 압력 조건의 배치형 챔버에서 이루어질 수도 있는 것을 특징으로 한다.

【발명의 구성 및 작용】

<23> 본 발명은 다른 물성을 가지는 질화막 간의 접촉 시 발생하는 들뜸이나 갈라짐을 방지하기 위하여 스트레스 특성이 서로 유사한 질화막을 이용한다. 스트레스 특성이 유사하다는 것은 막의 화학적 양론비가 유사하다는 것을 의미하며, 이는 막의 기본적인 물성이 유사하다는 것을 의미하므로 본 발명에서는 이러한 특성을 이용한다.

<24> 스트레스 특성이 유사한 질화막으로는 웨이퍼 한장씩 처리가 가능한 단형 챔버(Single type chamber)에서 저압화학기상증착(LPCVD) 방식으로 증착할 수 있는 질화막과, 여러 장의 웨이퍼 처리가 가능한 배치형 챔버(Batch type chamber)에서 저압화학기상증착(LPCVD) 방식으로 증착할 수 있는 질화막이 있다.

<25> 그러면 이하, 상기 도면을 재 참조하여 본 발명을 상세히 설명하기로 한다.

<26> 도 1a는 반도체 기판(1) 상에 게이트 산화막(2), 폴리실리콘층(3), 금속층(4) 및 하드 마스크층(5)을 순차적으로 형성한 후 상기 하드 마스크층(5) 상에 감광막 패턴(6)을 형성한 상태의 단면도로서, 상기 금속층(4)은 알루미늄(Al),

텅스텐(W), 티타늄(Ti)과 같은 금속 또는 실리사이드로 형성하며, 상기 하드 마스크층(5)은 웨이퍼를 한장씩 처리할 수 있는 단형 챔버에서 SiH_4 및 NH_3 를 이용한 저압화학기상증착(LPCVD) 방식으로 증착된 질화막을 이용한다. 상기 증착 공정은 600 내지 800℃의 온도 및 1Torr 이상의 압력, 바람직하게는 1 내지 500Torr의 압력 조건에서 이루어지며, 상기 질화막은 500 내지 3000Å의 두께로 형성한다.

<27> 도 1b는 상기 감광막 패턴(6)을 마스크로 이용한 식각 공정으로 상기 하드 마스크층(5)을 패터닝하여 하드 마스크(5a)를 형성한 상태의 단면도이고, 도 1c는 상기 하드 마스크(5a)를 마스크로 이용한 식각 공정으로 상기 금속층(4), 폴리실리콘층(3) 및 게이트 산화막(2)을 순차적으로 패터닝하여 게이트 전극(4a)을 형성한 후 게이트 전극(4a) 양측부의 반도체 기판(1)에 불순물 이온을 주입하여 접합영역(7)을 형성한 상태의 단면도이다.

<28> 도 1d는 상기 하드 마스크(5a) 및 게이트 전극(4a) 양측벽에 절연막으로 스페이서(8)를 형성한 상태의 단면도로서, 상기 스페이서(8)를 형성하기 위한 절연막은 상기 하드 마스크(5a)로 사용되는 질화막과 같은 질화막으로 형성하거나 1Torr 이하의 압력, 바람직하게는 0.1 내지 1Torr의 압력 조건의 배치형 챔버에서 저압화학기상증착(LPCVD) 방식으로 증착된 질화막으로 형성하며, 50 내지 1000Å의 두께로 형성한다.

<29> 도 2에서 그래프(A)는 상기 하드 마스크(5a)를 이루는 질화막의 스트레스 측정치(약 $13\text{E}9\text{dyn}/\text{cm}^2$)를 나타내며, 그래프(B)는 스페이서(8)를 이루는 질화막의 스트레스 측정치(약 $12\text{E}9\text{dyn}/\text{cm}^2$)를 나타낸다. 그래프를 통해 알 수 있듯이, 두

질화막의 스트레스 특성은 서로 유사하기 때문에 본 발명을 적용하면 도 3과 같이 두 질화막이 접촉되는 부분에서 들뜸이나 갈라짐이 발생되지 않는다.

- <30> 또한, 종래에는 플라즈마 화학기상증착(PECVD) 방식으로 질화막을 증착하기 위해 고가의 고온 장비를 사용하였으나, 본 발명은 웨이퍼를 한장씩 처리할 수 있는 단형 챔버에서 저압화학기상증착(LPCVD) 방식으로 질화막을 증착하므로 저가의 장비를 사용할 수 있다. 단형 챔버에서 공정이 진행되는 경우 웨이퍼 한장을 처리하는 데 소요되는 시간이 약 5분 정도이므로 여러장의 웨이퍼를 처리하는 배치형 챔버를 이용할 경우보다 수율이 향상된다.

【발명의 효과】

- <31> 상술한 바와 같이 본 발명은 다른 물성을 가지는 질화막 간의 접촉 시 발생하는 들뜸이나 갈라짐을 방지하기 위하여 스트레스 특성이 서로 유사한 질화막을 이용한다. 스트레스 특성이 유사한 질화막으로는 웨이퍼 한장씩 처리가 가능한 단형 챔버에서 저압화학기상증착(LPCVD) 방식으로 증착할 수 있는 질화막과, 여러 장의 웨이퍼 처리가 가능한 배치형 챔버에서 저압화학기상증착(LPCVD) 방식으로 증착할 수 있는 질화막을 이용한다.
- <32> 따라서 본 발명은 두 질화막이 접촉되는 부분에서 발생하는 들뜸이나 갈라짐으로 인한 오염 및 불량을 방지하여 소자의 전기적 특성 및 수율 향상을 이루

며, 기존에 사용하는 저가의 장비를 그대로 이용할 수 있도록 하여 제조 원가의 감소를 이룰 수 있도록 한다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 형성된 절연막 상에 도전층을 형성하는 단계와,
저압화학기상증착 방식으로 질화막을 증착하여 상기 도전층 상에 하드 마스크층을 형성하는 단계와,
상기 하드 마스크층을 패터닝하고, 패터닝된 하드 마스크를 이용하여 도전층을 패터닝하는 단계와,
저압화학기상증착 방식으로 질화막을 증착한 후 스페이서 식각하여 패터닝된 도전층과 하드 마스크의 측벽에 스페이서를 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 배선 형성 방법.

【청구항 2】

제 1 항에 있어서,
상기 하드 마스크 및 스페이서를 형성하기 위한 질화막 증착 공정은 600 내지 800℃의 온도 및 1 내지 500Torr의 압력 조건의 단형 챔버에서 이루어지는 것을 특징으로 하는 반도체 소자의 배선 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 하드 마스크는 500 내지 3000Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 배선 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 스페이서를 형성하기 위한 질화막 증착 공정은 600 내지 800℃의 온도 및 0.1 내지 1Torr 압력 조건의 배치형 챔버에서 이루어지는 것을 특징으로 하는 반도체 소자의 배선 형성 방법.

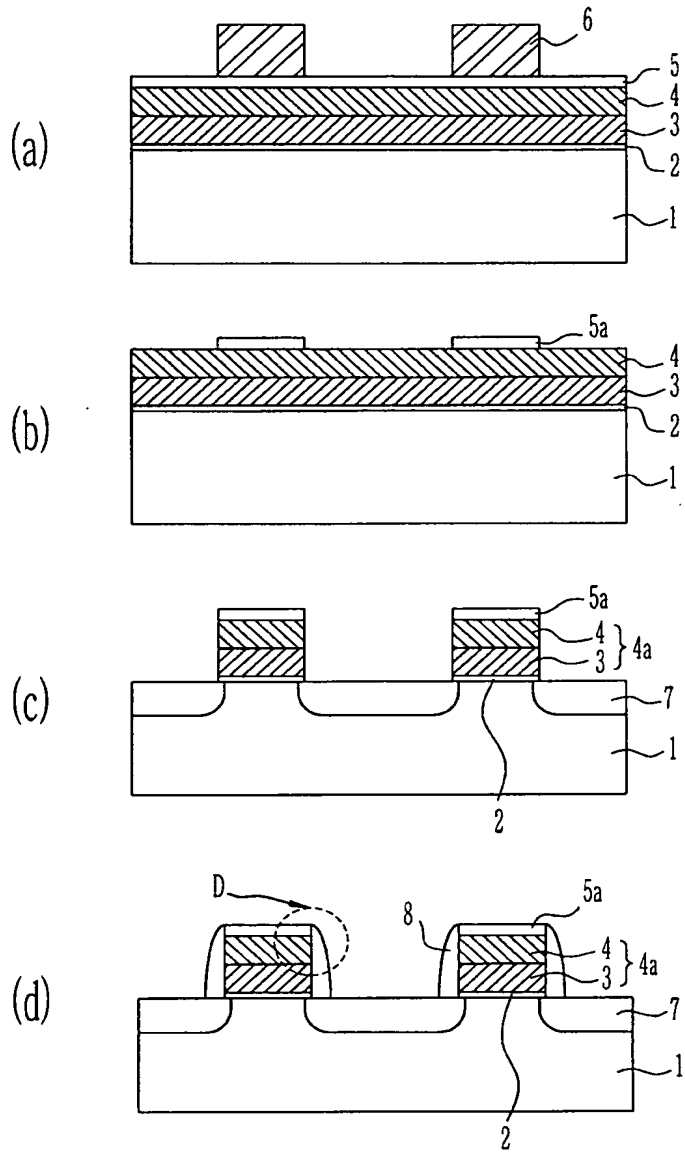
【청구항 5】

제 1 항에 있어서,

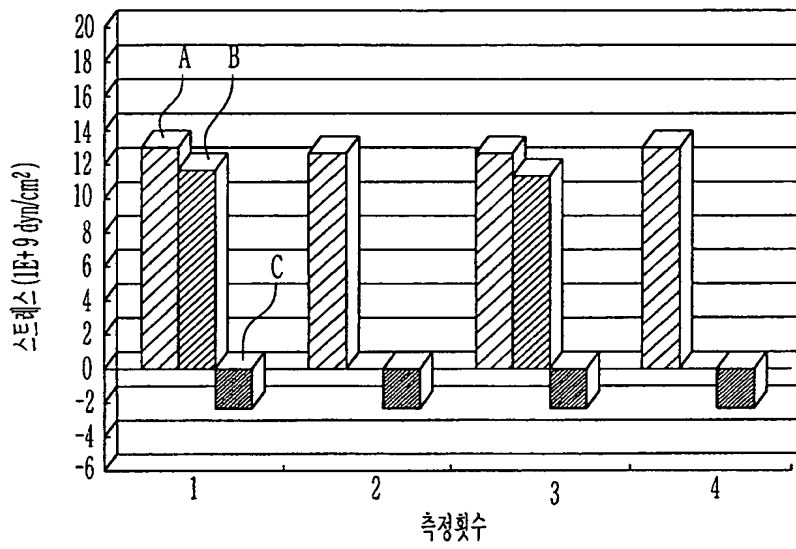
상기 스페이서를 형성하기 위한 질화막은 50 내지 1000Å의 두께로 증착되는 것을 특징으로 하는 반도체 소자의 배선 형성 방법.

【도면】

【도 1】



【도 2】



【도 3】

